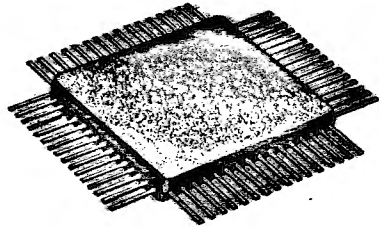


T36BM1-2

16-разрядный процессор

Общие сведения

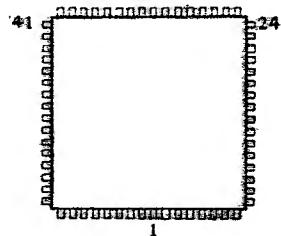
- 8 регистров общего назначения
- 77 команд
- Система команд: безадресная, одноадресная, двухадресная
- Непосредственное подключение к клавиатуре из 78 клавиш
- Объем адресуемой памяти 65536 байт
- Динамическая потребляемая мощность на максимальной тактовой частоте не более 0,03 Вт



Описание

БИС T36BM1-2 является однокристалльным шестнадцатиразрядным микропроцессором, совмещенным с контроллерами внешних устройств (ПЗУ, ОЗУ, клавиатуры, матричного ЖКИ) и параллельным портом.

Микросхема T36BM1-2 допускает непосредственное подключение контактных групп клавиатуры из 78 клавиш, в том числе четырех специального назначения - ВКЛ, ВЫКЛ, HALT (выводы KB); микросхем ПЗУ T36PE2, T36PE1, ОЗУ T36PY1, T36PY2 в пяти конфигурациях (выводы A, DIO, CE), контроллера матричного ЖК-индикатора; дополнительных внешних устройств через двунаправленный шестнадцатиразрядный параллельный порт.



Расположение выводов

Назначение выводов

DIO (0...7)	Разряды шины данных ОЗУ, ПЗУ
A (0...14)	Разряды шины адресов ОЗУ, ПЗУ
CE (1...8)	Сигналы выборки ОЗУ, ПЗУ
\bar{W}/R	Сигнал управления записью и чтением из ОЗУ
ADO	Адреса, данные последовательного интерфейса
SHIFT	Сигнал синхронизации битов адреса и данных последовательного интерфейса
PP (1...15)	Разряды параллельного порта
KB (0...12)	Разряды порта клавиатуры
RI, RO	Выводы для подключения времязадающего регистра генератора тактовых импульсов
OV1	Вывод питания "Общий"
OV0	Вывод отключасмого питания "Общий"
U	Напряжение от источника питания



завод "Анвстрал"
103460 Москва

Функциональные параметры БИС

- система счисления для чисел и команд - двоичная
- разрядность внутренней шины адрес/данные - 16 двоичных разрядов
- разрядность внешней адресной шины - 15 двоичных разрядов
- разрядность внешней шины данных - 8 двоичных разрядов
- система команд - безадресная, одноадресная, двухадресная
- виды адресации: регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, индексная, косвенно-индексная
- число регистров общего назначения - 8
- количество каналов обмена информацией - 4
- количество источников прерываний - 2
- количество команд - 77
- максимальный объем непосредственно адресуемой памяти в зависимости от конфигурации - от 32 до 64 Кбайт
- тактовая частота функционирования при работе от встроенного генератора - 2 МГц; макс. - 5 МГц
- количество сигналов для выбора внешних кристаллов запоминающих устройств - 8
- количество непосредственно подключаемых контактных групп клавиатуры не менее 78
- количество разрядов параллельного порта 15;16**
- количество разрядов адреса, передаваемых через последовательный порт 8
- количество разрядов данных, передаваемых через последовательный порт 5
- максимальное рабочее напряжение питания 6 В
- минимальное рабочее напряжение питания 4,5 В
- максимальная емкость нагрузки на вывод 100 пФ
- ток потребления при тактовой частоте 500 кГц в минимальном комплекте с одной микросхемой ПЗУ и одной микросхемой ОЗУ и напряжении питания 6 В не более 2,4 мА
- максимальный ток нагрузки по выводу 33 - 10 мА
- количество сигналов прерываний - 2,4**

* - обеспечивается при специальной разбраковке

** - обеспечивается по требованию заказчика

Предельно допустимые значения параметров

Параметр	Обозначение	Мин.	Макс.	Ед.измер.
Напряжение питания	U_{CC}	4,5	6,0	В
Входное напряжение высокого уровня	U_{IH}	$U_{CC} - 1^*$	U_{CC}	В
Входное напряжение низкого уровня	U_{IL}	-0,3*	0,7*	В
Емкость нагрузки	C_L		100	пФ

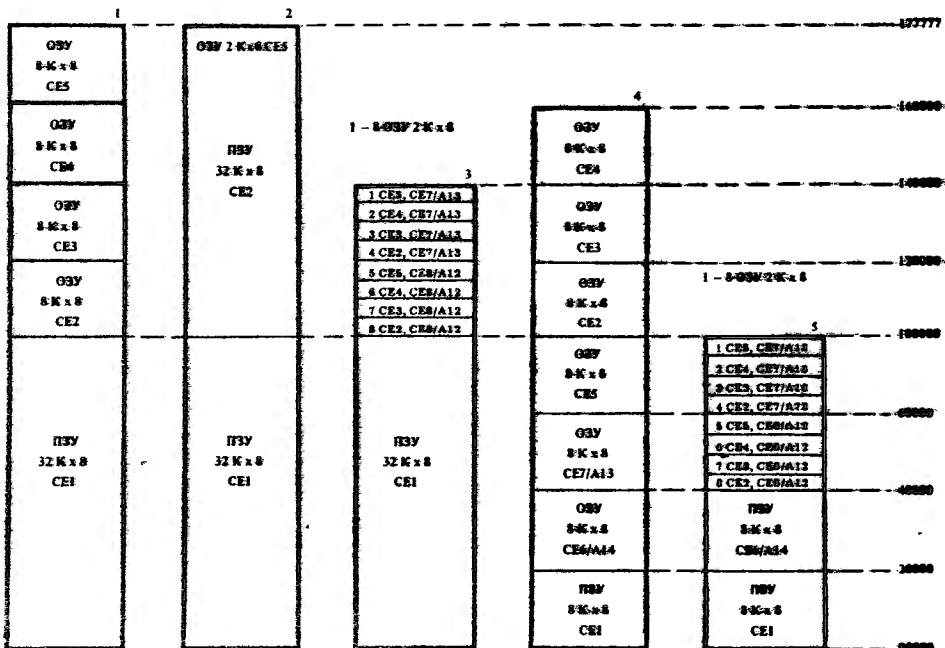
* - с учетом всех видов помех



Электрические параметры
 (-10°C < Топер. ср. < +55°C)

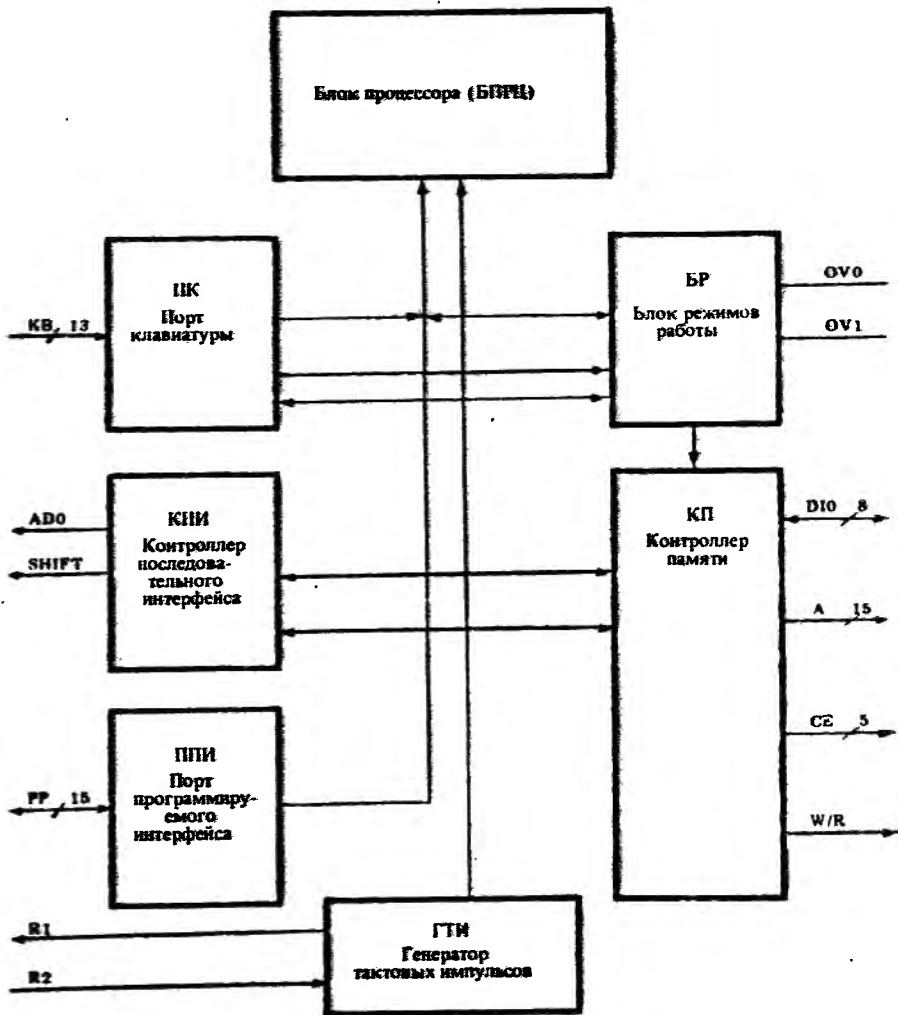
Параметр	Обозначение	Мин.	Макс.	Единица изм.
Выходное напряжение низкого уровня при $U_{CC} = 4В, I_{OL} = 0,15 мА$	U_{OL}		0,4 0,5	В
Выходное напряжение высокого уровня при $U_{CC} = 4В, I_{OH} = 0,05 мА$	U_{OH}	$U_{CC} - 0,5$		В
Ток потребления в состоянии "ВЫКЛЮЧЕНО" при $U_{CC} = 6В$	I_{CCZ}		10 30	мкА
Ток потребления при $U_{CC} = 6В$	I_{CC}^*		100 250	мкА
Максимальная тактовая частота функционирования	f_{Cmax}	2,0		МГц

* - в режиме "ввод информации"



Типы распределения памяти





Блок - схема



Работа микросхемы

Процедура чтения информации из внешнего запоминающего устройства может выполняться по трем различным протоколам: чтение ОЗУ, чтение ПЗУ 8Kx8, чтение ПЗУ 32Kx8 в зависимости от выбранной конфигурации и адреса обмена.

Чтение ОЗУ начинается с установки адреса обмена на шине адреса A0...A14. Не ранее чем через 1 такт низким уровнем длительностью в 2 такта выставляется сигнал выбора ОЗУ CE. ОЗУ должно не позднее чем за 50 нс до снятия сигнала CE установить данные на выводах DIO, через 1 такт после снятия сигнала CE инвертируется младший разряд адреса и не ранее чем через 20 нс после этого вторично выставляется сигнал выбора ОЗУ, который теперь удерживается до окончания внутреннего цикла приема данных в блок процессора (обычно 3-4 такта). Данные должны быть сформированы в течение двух тактов после начала второго сигнала CE. Адрес снимается не ранее чем через 0,5 такта после снятия сигнала CE, а через 0,5 такта на выводах DIO устанавливается режим выходов.

Чтение ПЗУ 8Kx8 не отличается от процедуры чтения ОЗУ.

Чтение ПЗУ 32Kx8 начинается с установки адреса на шине адреса A0...A14 и режима входов на выводах DIO.

Через один такт устанавливается низким уровнем сигнал выбора ПЗУ CE. ПЗУ должно не позднее чем за 50 нс до начала пятого полутакта после выставления сигнала CE установить данные на выводах DIO. Через два такта с начала сигнала CE инвертируется младший разряд адреса, а ПЗУ к началу третьего полутакта после смены адреса должно установить новые данные на выводах DIO. Это состояние сигналов удерживается до окончания внутреннего цикла приема данных в блок процессора обычно один-два такта, затем снимается сигнал CE.

Процедура записи информации в ОЗУ может выполняться по двум различным протоколам в зависимости от того, записывается байт информации или слово.

В случае записи слова аналогично процедурам чтения устанавливается адрес на выводах A0...A14 и режим входов на выводах DIO. Через время не более 1T низким уровнем выставляется сигнал W/R, выводы DIO переходят в режим выходов и на них устанавливается информация. Не ранее чем через 1T после появления сигнала W/R вырабатывается сигнал выбора ОЗУ CE низким уровнем длительностью 2T. Через 1T после снятия CE инвертируется млад-

писи данных обычно 3-4 такта, а снимается не ранее снятия сигнала W/R. Адрес удерживается еще не менее 0,5 такта.

Процедура записи байта от начала (установка адреса) до выставления первого сигнала CE протекает аналогично процедуре записи слова.

Сигнал выбора ОЗУ вырабатывается один раз и удерживается до окончания внутреннего цикла записи (обычно 3-4 T). Снимается не ранее снятия сигнала W/R. Завершается процедура аналогично записи слова.

Контроллер дисплея преобразует 8 младших разрядов адреса и 8 младших разрядов данных в последовательный код на выводе ADO и формирует сигнал синхронизации каждого разряда этого кода на выводе SHIFT.

Регистр клавиатуры имеет адрес 400_h, доступен только по чтению. Используются младшие 13 разрядов.

Регистр параллельного порта имеет адрес 404_h. Доступен по записи и чтению. Имеет возможность переключения направления передачи данных группами по 3-4 разряда под управлением регистра состояния и конфигурации (младшие 4 разряда). По включению питания устанавливается режим записи данных из микросхемы. Используются только 15 старших разрядов. При появлении электрического 0 на выводе 15 микросхемы независимо от направления передачи данных (1 разряд порта) на блок процессора приходит сигнал прерывания от таймера EVNT. 0 разряд в работе порта не участвует, при чтении равен "лог.0".

Тактовый генератор работает на частотах 50 кГц-4,5 МГц. С помощью 10 разряда регистра состояния и конфигурации можно останавливать генератор без проколов и выбросов. Останов происходит минимум через 0,5 периода тактовой частоты после снятия сигнала W/R в цикле записи по адресу регистра.

В микросхеме реализованы следующие прерывания от внешних источников: HALT - возникает при установке на выводах I0 и I1 или I1 и 2 низких уровней напряжения одновременно; EVNT - возникает при установке низкого уровня напряжения на выводе 15 (либо в режиме входа, либо в режиме выхода). Младший разряд адреса и устанавливается новая информация на выводах DIO. Не ранее чем через 20 нс после этого вторично вырабатывается сигнал CE и удерживается до окончания внутреннего цикла за-



В составе процессора имеется аппаратура реализации команд расширенной арифметики. Контроллер памяти реализует интерфейс непосредственного обмена с ОЗУ, ПЗУ типов Т36РУ1-2, Т36РУ2-2, Т36РЕ1-2, Т36РЕ2-2. Контроллер последовательного интерфейса реализует последовательную передачу данных в контроллер индикатора Т36ВГ1-2.

Порт клавиатуры предназначен для непосредственного приема информации и контактных групп клавиатуры. Часть кодов порта клавиатуры отводится для включения и выключения питания, задания конфигурации ПЗУ, перевода процессора в режим "останов".

Порт программируемого параллельного интерфейса имеет 15 информационных разрядов, разбитых

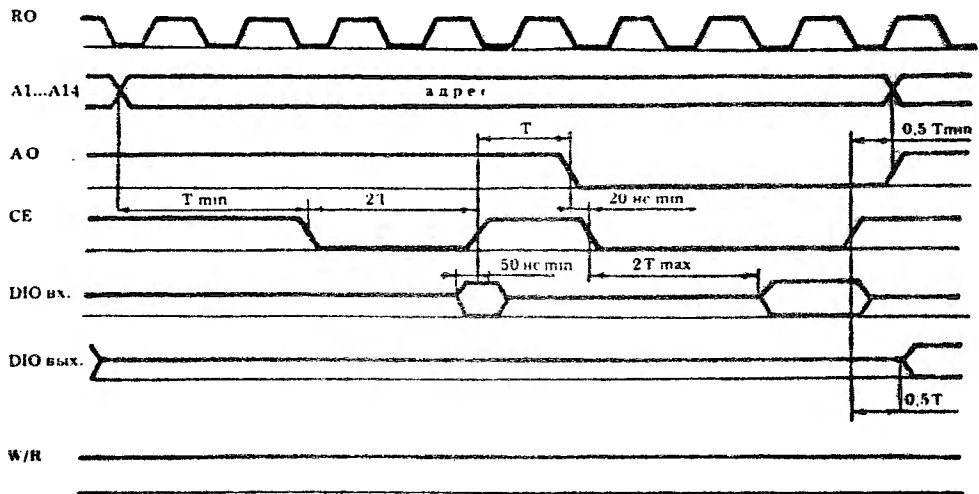
на четыре группы (4,4,4,3 бит), с возможностью изменения направления передачи данных в каждой группе.

Генератор тактовых импульсов предназначен для тактирования блоков БИС, обеспечивает программное отключение генерации и понижение тактовой частоты.

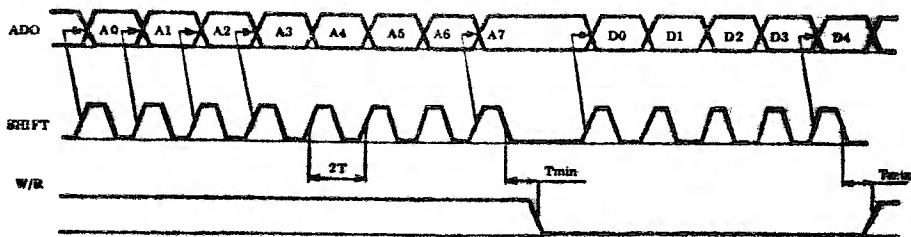
БИС включает в себя "дежурную" схему, обеспечивающую подачу электропитания на внутренние блоки, запуск и останов тактового генератора БИС. Содержит регистры режимов, обеспечивающие программное задание конфигурации памяти, задание направлений передачи информации по группам параллельного порта, маскирование радиального прерывания.

Центральный процессор со встроенным контроллером ввода-вывода: Т36ВМ1-2 (КА1013ВМ1). Создан на основе процессора 1806ВМ2 с дополнительными элементами — тактовым генератором, контроллером питания, 13-битным портом клавиатуры, 15-битным параллельным портом ввода-вывода, отдельным портом управления ЖКИ. Доступ к памяти осуществляется через демультимплексированную шину адреса (до 15 бит) и 8-битную шину данных, а также с использованием до 8 сигналов выборки микросхемы (chip select).



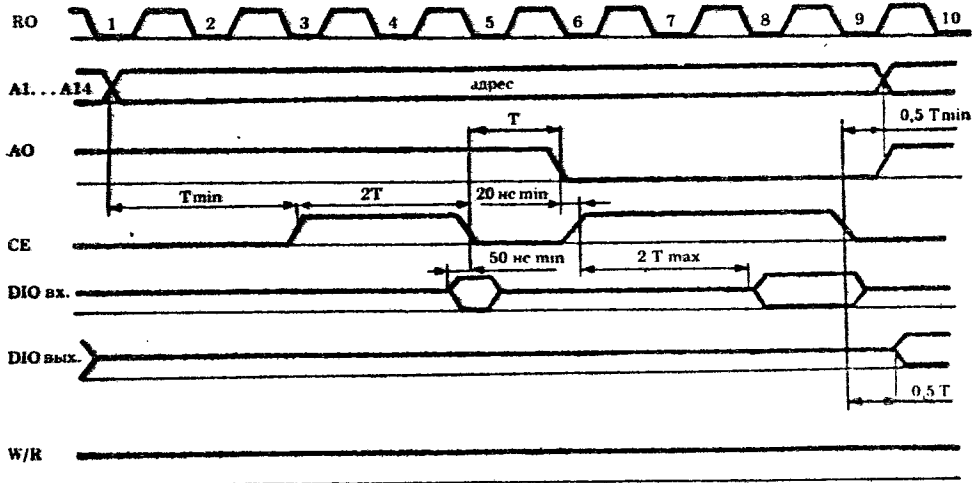


Режим чтения ОЗУ

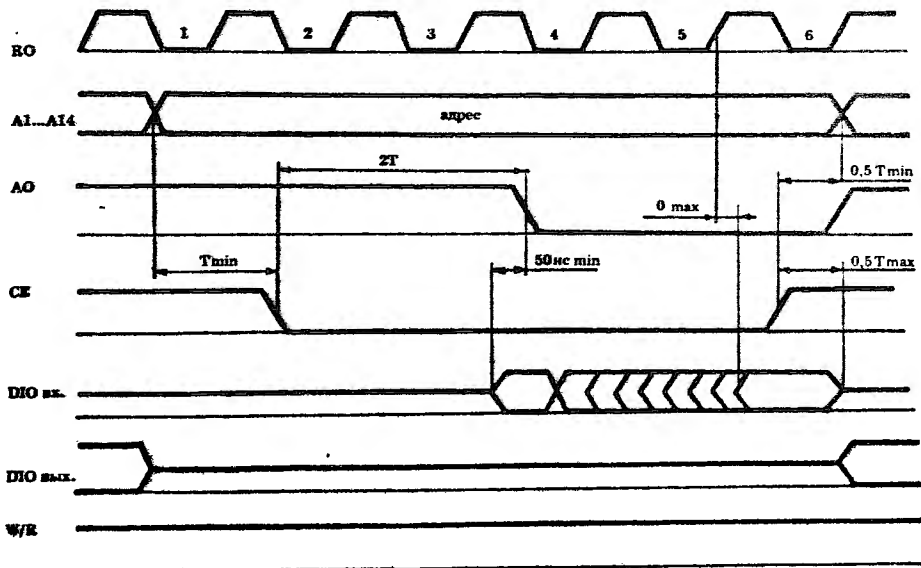


Режим записи в экранное ОЗУ



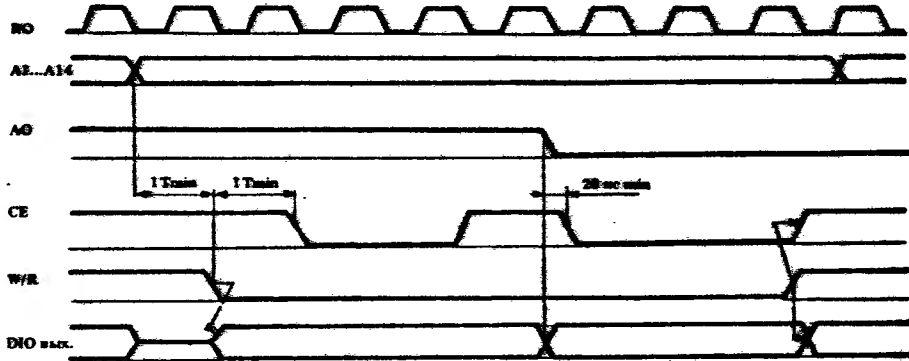


Режим чтения ПЗУ 8Кx8

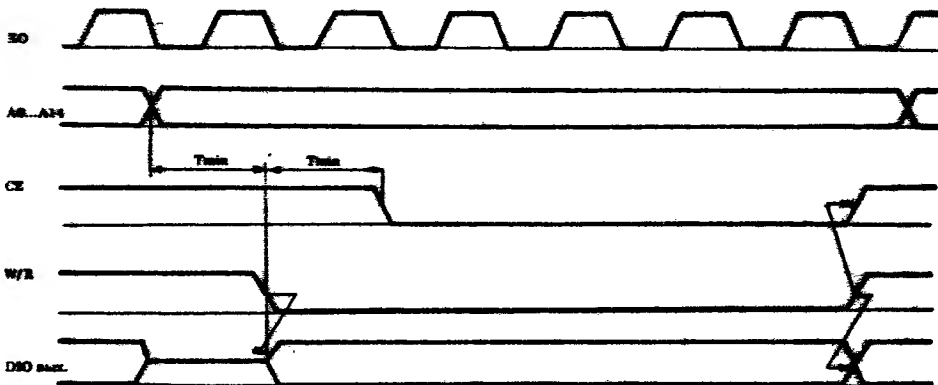


Режим чтения ПЗУ 32Кx8





Режим сброса часов



Режим записи байта



5134.64-1

